



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 23 日  
Application Date

申請案號：092120045  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 8 月 26 日  
Issue Date

發文字號：09220855030  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	具有堆疊閘極結構之半導體裝置製造方法
	英文	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE HAVING STACK-GATE STRUCTURE
二、 發明人 (共4人)	姓名 (中文)	1. 何慈恩 2. 張志豪 3. 吳昌榮
	姓名 (英文)	1. Tzu-En Ho 2. Chih-Hao Chang 3. Chang-Rong Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 宜蘭縣礁溪鄉德陽村奇立丹路76巷3號 2. 台北縣泰山鄉工專路84-48號5樓 3. 台北縣板橋市民生路一段28-9號26樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 蘇國輝
	姓 名 (英 文)	4. Kuo-Hui Su
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 台北市民樂街113號2樓
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：具有堆疊閘極結構之半導體裝置製造方法)

本發明揭示一種具有堆疊閘極結構之半導體裝置製造方法。首先，在一基底上方形成一複晶矽層，且其藉由一介電層與基底絕緣。接著，依序在複晶矽層上形成一鈦金屬層及一氮化鎢層。然後，藉由氮氣及氫氣作為形成氣體以對氮化鎢層實施一回火處理。最後，在氮化鎢層上依序形成一鎢金屬層及一上蓋層。

伍、(一)、本案代表圖為：第1e圖。

(二)、本案代表圖之元件代表符號簡單說明：

100~基底；

102~介電層；

104~複晶矽層；

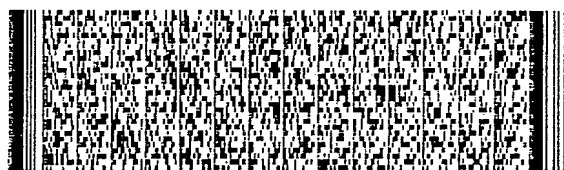
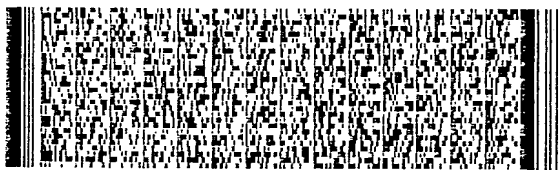
106~薄金屬層；

109~經回火處理之氮化鎢層；

112~鎢金屬層；

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING SEMICONDUCTOR DEVICE HAVING STACK-GATE STRUCTURE)

A method for fabricating a semiconductor device having a stack-gate structure. A polysilicon layer is formed on a substrate and insulated from the substrate by a dielectric layer. A titanium layer and a tungsten nitride layer are successively formed overlying the polysilicon layer. Annealing is performed on the tungsten nitride layer using nitrogen and hydrogen as a forming gas. A tungsten



四、中文發明摘要 (發明名稱：具有堆疊閘極結構之半導體裝置製造方法)

114~ 上蓋層；

115~ 堆疊閘極結構；

116~ 開口。

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING SEMICONDUCTOR DEVICE HAVING STACK-GATE STRUCTURE)

layer and a capping layer are successively formed on the tungsten nitride layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之領域】

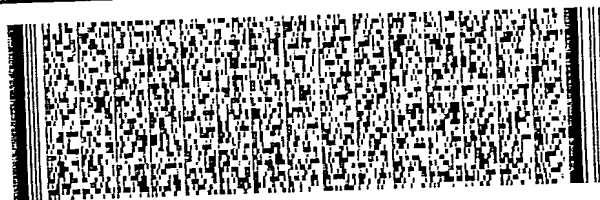
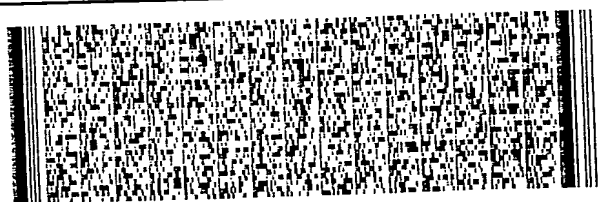
本發明係有關於一種半導體製程，特別是有關於一種具有堆疊閘極結構之半導體裝置製造方法，藉以增加閘極之熱穩定度並降低閘極電極之電阻值。

### 【先前技術】

半導體記憶體裝置可分為可讀寫之記憶體與唯讀之記憶體，而可讀寫之記憶體又可分為動態隨機存取記憶體 (DRAM) 及為靜態隨機存取記憶體 (SRAM) 兩大種類。目前又以 DRAM 為主要應用之記憶體裝置，其係由一電容及一電晶體所組成。

由於對於記憶體的研究快速，記憶體的容量以每三年提升四倍的速度成長，如目前普遍之 256Mb DRAM，以及容量更大之 DRAM，如 1Gb DRAM 也已為業界廣為研究中。

目前，經摻雜之複晶矽 (doped poly-silicon) 材料已應用於半導體記憶元件之閘極電極，並且會在其上形成一矽化鎢 (tungsten silicide) 以降低閘極電極之電阻值。為了增加 DRAM 的積集度，記憶單元的尺寸需不斷縮小而使得閘極電極的線寬隨之縮小。對於作為閘極電極材料的矽化鎢薄膜而言，其電阻值 (約為  $100 \mu\Omega \cdot \text{cm}$ ) 仍為過高，故需要能提供更低電阻值之金屬閘極材料，例如鎢金屬，其電阻值約為  $10 \mu\Omega \cdot \text{cm}$ ，近年來已有許多相關之研究出現。舉例而言，在摻雜之複晶矽材料上方形成一鎢金屬層，且藉由一氮化鎢層隔開複晶矽材料與鎢金屬層，以



## 五、發明說明 (2)

構成一堆疊閘極電極。氮化鎢層的作用在於避免鎢金屬與複晶矽材料發生反應而導致閘極電阻值增加。然而，氮化鎢層的熱穩定度不佳，導致難以掌控閘極的電阻值而使元件的可靠度降低。

### 【發明內容】

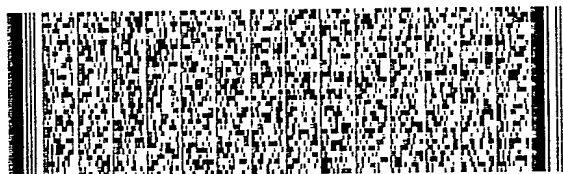
有鑑於此，本發明之目的在於提供一種具有堆疊閘極結構之半導體裝置製造方法，其藉由氮氣及氫氣作為形成氣體 (forming gas) 來對堆疊閘極實施一回火處理，藉以增加堆疊閘極之熱穩定度並降低其電阻值進而提升元件之可靠度。

根據上述之目的，本發明提供一種具有堆疊閘極結構之半導體裝置製造方法。首先，在一基底上方形成一複晶矽層，且複晶矽層藉由一介電層與基底絕緣。接著，在清潔複晶矽層表面之後，在其上形成一鈦金屬層。接著，在鈦金屬層上形成一氮化鎢層，再藉由氮氣及氫氣作為形成氣體以對氮化鎢層實施一回火處理。最後，在氮化鎢層上依序形成一鎢金屬層及一上蓋層。

其中，藉由物理氣相沉積形成鈦金屬層，且其厚度在5到10埃的範圍。

再者，氮氣與氫氣之流量比約為4:1。回火處理之溫度約在800℃到1000℃的範圍。回火處理之時間約在50到100秒的範圍。

又根據上述之目的，本發明提供一種具有堆疊閘極結





### 五、發明說明 (3)

構之半導體裝置製造方法。首先，在一基底上方形成一複晶矽層，且複晶矽層藉由一介電層與基底絕緣。接著，在清潔複晶矽層表面之後，在其上形成一鈦金屬層。接著，在鈦金屬層上依序形成一氮化鎢層及一鎢金屬層，再藉由氮氣及氫氣作為形成氣體以對氮化鎢層及鎢金屬層實施一回火處理。最後，在鎢金屬層上形成一上蓋層。

其中，藉由物理氣相沉積形成鈦金屬層，且其厚度在5到10埃的範圍。

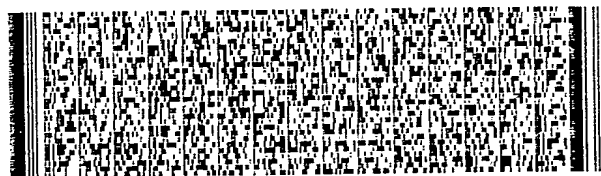
再者，氮氣與氫氣之流量比約為4:1。回火處理之溫度約在800℃到1000℃的範圍。回火處理之時間約在50到100秒的範圍。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

以下配合第1a到1e圖說明本發明實施例之具有堆疊閘極結構之半導體裝置製造方法。

首先，請參照第1a圖，提供一基底100，例如一矽基底或其他半導體基底，其上方可以形成任何所需的半導體元件，例如MOS電晶體、電阻、電容、邏輯元件等，此處為了簡化圖式，僅以平整的基板表示之。接著，藉由習知沉積技術依序在基底100上形成一介電層102及一複晶矽層104。在本發明中，介電層102，例如一氧化矽層，係用以



#### 五、發明說明 (4)

作為一閘極介電層之用，其厚度約在30到100埃之間，且可藉由熱氧化法在700℃到1000℃下形成之。再者，複晶矽層104係一摻雜的複晶矽層，用以作為堆疊閘極之電極材料，其厚度約在1000到2000埃之間，且可藉由電漿輔助化學氣相沉積法 (plasma enhanced CVD, PECVD) 形成之。之後，可選擇性地對複晶矽層104表面實施一清潔程序，例如使用稀釋的氫氟酸 (DHF)，以去除其表面上的原生氧化層 (native oxide)。

接下來，請參照第1b圖，可藉由物理氣相沉積 (PVD) 法在複晶矽層104上形成一薄金屬層106，例如鈦金屬層，其厚度約在5到10埃之間，用以作為複晶矽層104與後續金屬氮化層之間的附著層。隨後，藉由習知沉積技術，例如物理氣相沉積 (PVD) 或化學氣相沉積 (CVD)，在薄金屬層106上沉積一金屬擴散阻障層108。在本實施例中，係採用物理氣相沉積 (PVD) 在薄金屬層106上沉積一氮化鎢 (WN) 層，且其厚度約在30到100埃之間。

接下來，請參照第1c圖，進行本發明之關鍵步驟，對氮化鎢層108實施一回火 (annealing) 處理110，且進行時間約在50到100秒之間，藉以改善氮化鎢層108之熱穩定度。在本實施例中，此回火處理110係採用氮氣 ( $N_2$ ) 與氫氣 ( $H_2$ ) 作為形成氣體 (forming gas)，且氮氣與氫氣之流量比約為4:1。再者，回火處理110的溫度約在800℃到1000℃的範圍。

之後，請參照第1d圖，可藉由物理氣相沉積法在經回



#### 五、發明說明 (5)

火處理之氮化鎢層109上形成一鎢金屬層112，以作為堆疊閘極之電極材料，其厚度約在200到1000埃的範圍。

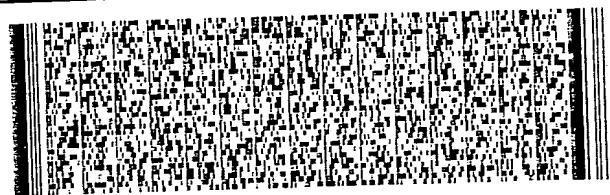
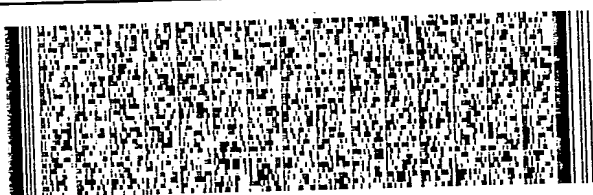
另外，請參照第1c'圖，在本發明中，亦可在形成氮化鎢層108之後，先藉由物理氣相沉積法形成鎢金屬112，再接著對鎢金屬層112及氮化鎢層108實施上述回火處理110。同樣地，可改善氮化鎢層108的熱穩定度並降低鎢金屬層112之電阻值。

最後，請參照第1e圖，藉由習知沉積技術，例如低壓化學氣相沉積法 (low pressure CVD, LPCVD)，在鎢金屬層112上形成一上蓋層114，例如一氮化矽層 (SiN)，以作為閘極保護層及定義閘極之罩幕層。接著，藉由習知微影製程，在上蓋層114上方形成一光阻圖案層 (未繪示)。之後，以光阻圖案層作為罩幕來蝕刻上蓋層114，以在其中形成一開口116。

接著，以適當溶液或灰化處理去除光阻圖案層之後，以上蓋層114作為罩幕來依序蝕刻開口116下方之鎢金屬層112、氮化鎢層109、薄金屬層106、複晶矽層104、及介電層102而完成堆疊閘極結構115。

根據本發明所形成之堆疊閘極結構中，由於在形成氮化鎢層之後實施一回火處理並以氮氣及氫氣作為形成氣體，堆疊閘極之熱穩定度可增加並降低其電阻值。因此，元件之可靠度得以提升。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精



五、發明說明 (6)

神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a到1e圖係繪示出本發明實施例之具有堆疊閘極結構之半導體裝置製造方法剖面示意圖。

符號說明：

- 100~基底；
- 102~介電層；
- 104~複晶矽層；
- 106~薄金屬層；
- 108~氮化鎢層；
- 109~經回火處理之氮化鎢層；
- 110~回火處理；
- 112~鎢金屬層；
- 114~上蓋層；
- 115~堆疊閘極結構；
- 116~開口。



## 六、申請專利範圍

1. 一種具有堆疊閘極結構之半導體裝置製造方法，包括下列步驟：

在一基底上方形成一複晶矽層，且該複晶矽層藉由一介電層與該基底絕緣；

在該複晶矽層上形成一鈦金屬層；

在該鈦金屬層上形成一氮化鎢層；

藉由氮氣及氫氣作為形成氣體以對該氮化鎢層實施一回火處理；以及

在該氮化鎢層上形成一鎢金屬層。

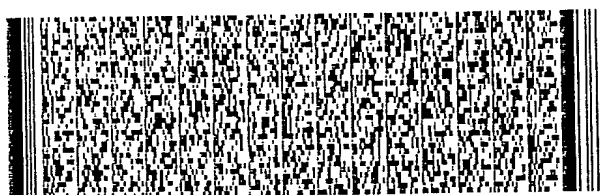
2. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，更包括在該鎢金屬層上形成一上蓋層。

3. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，更包括清潔該複晶矽層表面之步驟。

4. 如申請專利範圍第3項所述之具有堆疊閘極結構之半導體裝置製造方法，其中藉由稀釋的氫氟酸清潔該複晶矽層表面。

5. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，其中藉由物理氣相沉積形成該鈦金屬層。

6. 如申請專利範圍第5項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該鈦金屬層之厚度在5到10埃的範圍。



六、申請專利範圍

7. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該氮氣與該氫氣之流量比約為4:1。

8. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該回火處理之溫度約在800℃到1000℃的範圍。

9. 如申請專利範圍第1項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該回火處理之時間約在50到100秒的範圍。

10. 一種具有堆疊閘極結構之半導體裝置製造方法，包括下列步驟：

在一基底上方形成一複晶矽層，且該複晶矽層藉由一介電層與該基底絕緣；

在該複晶矽層上形成一鈦金屬層；

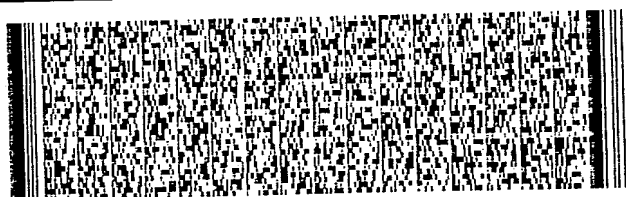
在該鈦金屬層上形成一氮化鎢層；

在該氮化鎢層上形成一鎢金屬層；以及

藉由氮氣及氫氣作為形成氣體以對該氮化鎢層及該鎢金屬層實施一回火處理。

11. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，更包括在該鎢金屬層上形成一上蓋層。

12. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，更包括清潔該複晶矽層表面之步驟。



#### 六、申請專利範圍

13. 如申請專利範圍第12項所述之具有堆疊閘極結構之半導體裝置製造方法，其中藉由稀釋的氫氟酸清潔該複晶矽層表面。

14. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，其中藉由物理氣相沉積形成該鈦金屬層。

15. 如申請專利範圍第14項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該鈦金屬層之厚度在5到10埃的範圍。

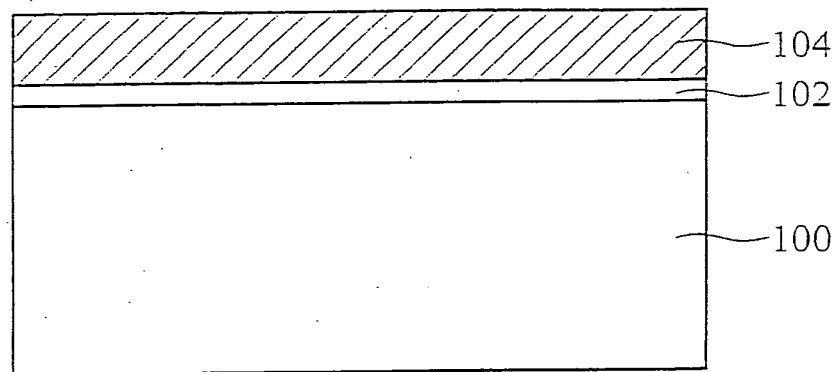
16. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該氮氣與該氫氣之流量比約為4:1。

17. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該回火處理之溫度約在800℃到1000℃的範圍。

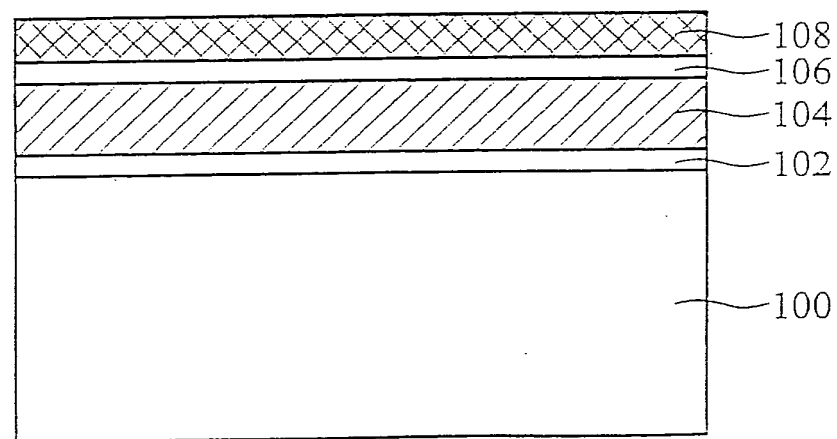
18. 如申請專利範圍第10項所述之具有堆疊閘極結構之半導體裝置製造方法，其中該回火處理之時間約在50到100秒的範圍。



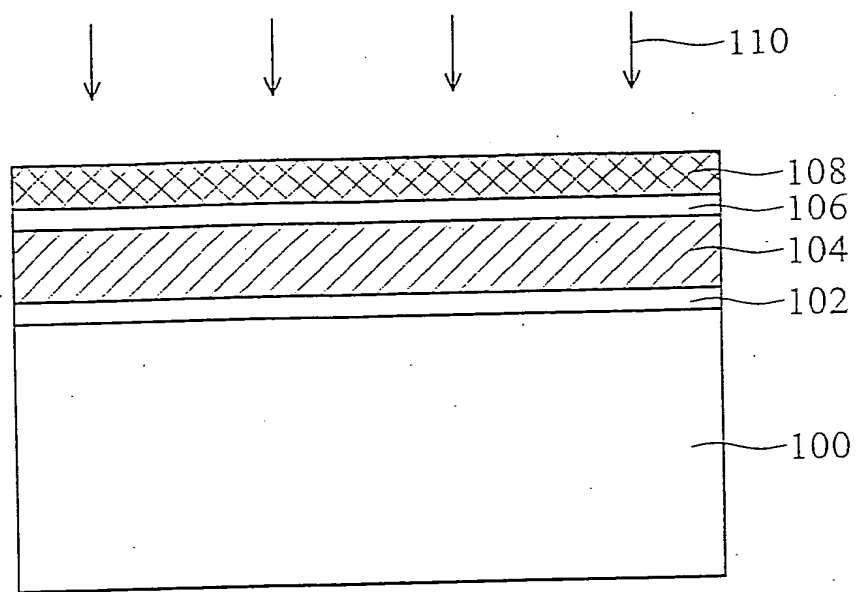




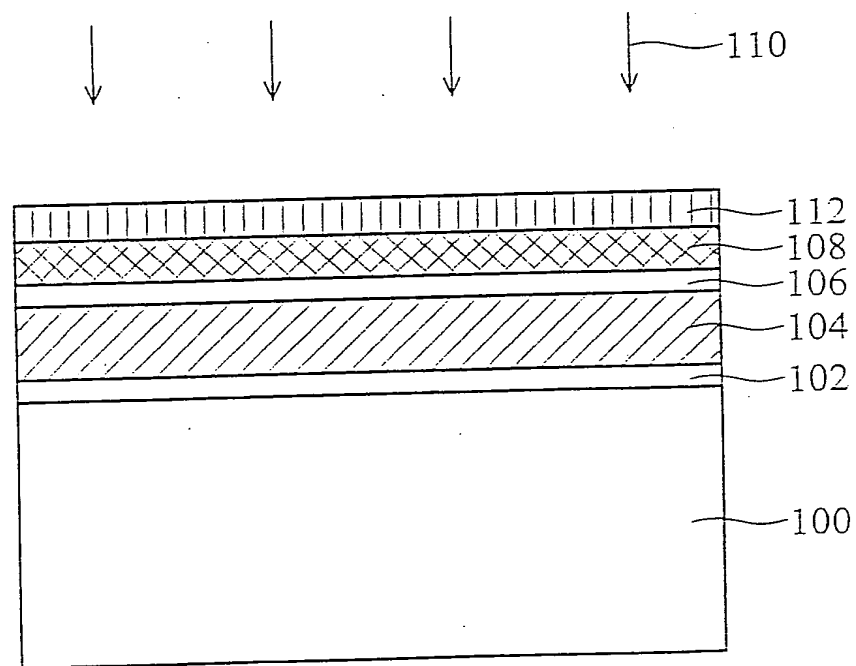
第 1a 圖



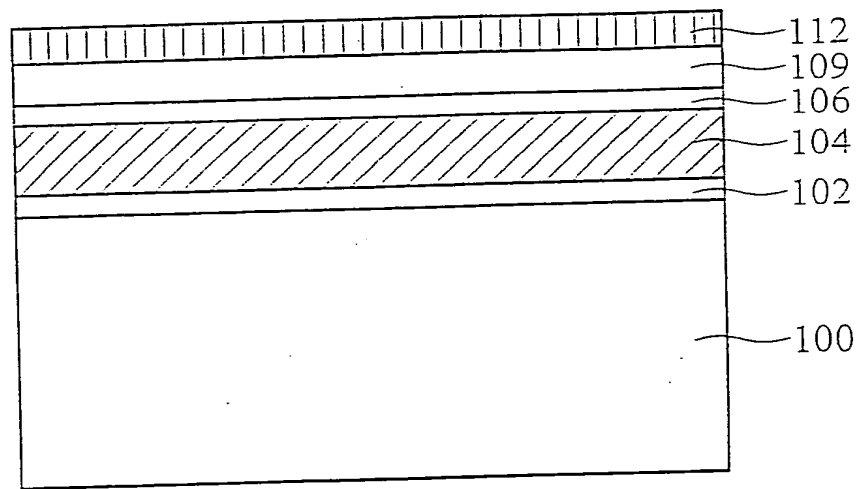
第 1b 圖



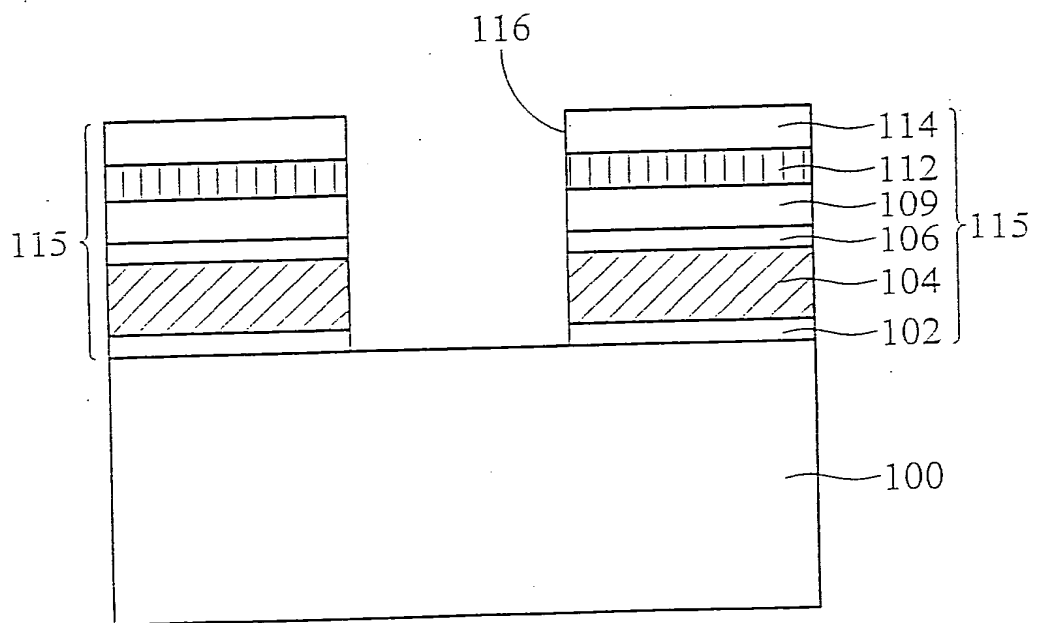
第 1c 圖



第 1c' 圖



第 1d 圖



第 1e 圖

第 1/15 頁



第 1/15 頁



第 2/15 頁



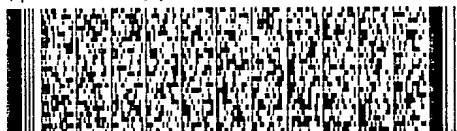
第 3/15 頁



第 3/15 頁



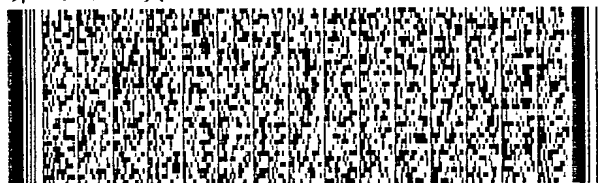
第 4/15 頁



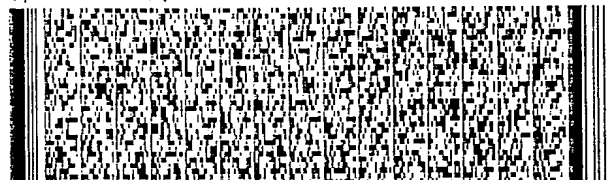
第 5/15 頁



第 6/15 頁



第 6/15 頁



第 7/15 頁



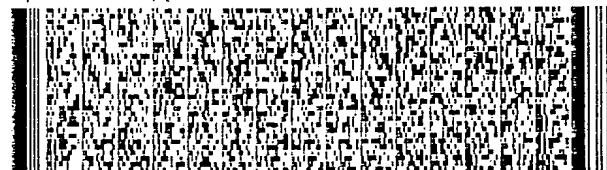
第 7/15 頁



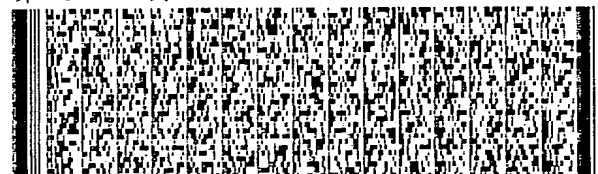
第 8/15 頁



第 8/15 頁



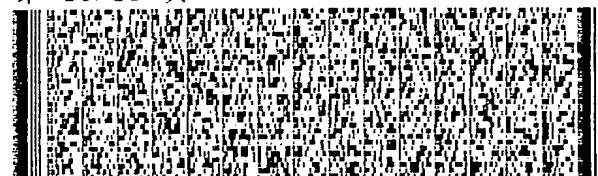
第 9/15 頁



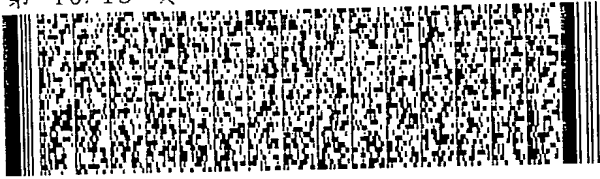
第 9/15 頁



第 10/15 頁



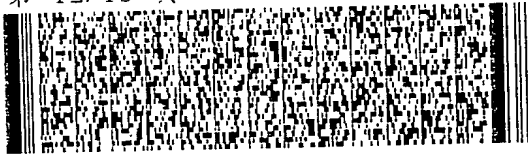
第 10/15 頁



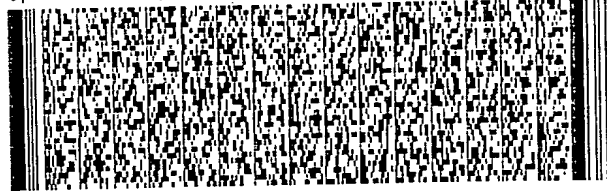
第 11/15 頁



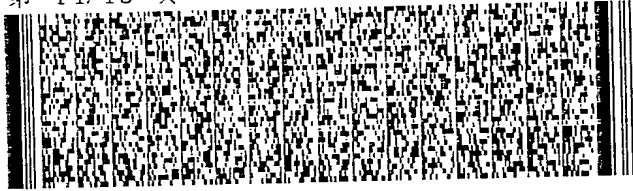
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

